

정리작성  
박성준

10/1731.489  
P.0036312HD

발송번호: 9-5-2005-007549141  
발송일자: 2005.02.21  
제출기일: 2005.04.21

수신 서울 중구 순화동 1-170 에이스타워 4층  
신영무

100-712

## 특 허 청 의견제출통지서

출 원 인 명 칭 매그나칩 반도체 유한회사 (출원인코드: 120040265187)  
주 소 충북 청주시 흥덕구 향정동 1  
대 리 인 성 명 신영무  
주 소 서울 중구 순화동 1-170 에이스타워 4층  
출 원 번 호 10-2003-0049466  
발 명 의 명 칭 반도체 소자의 절연막 형성 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

### [ 이유 ]

이 출원의 특허청구범위 제1항 내지 제5항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

본원발명의 청구범위 제1항 내지 제5항은 절연막을 다공질 저유전율 절연막으로 형성하는 방법에 관한 것으로, 반도체 기판상에 발포제가 포함된 저유전율 절연막을 형성하는 단계, 다마신 패턴을 형성하는 단계, 발포제가 반응하여 기공이 형성되도록 열처리 공정을 실시하는 단계를 포함하는 다공질 저유전율 절연막 형성방법을 특징으로 하고 있으나, 인용발명 한국 특허공개공보 제2002-0001144호의 상세한 설명과 청구범위 제1, 13, 14, 15항과 그림3에는 소자가 형성된 반도체 기판상에 다공성 층간 절연막을 형성하는 단계, 콘택홀을 형성하는 단계, 다공성 층간 절연막을 열처리하는 단계에 대하여 기재하고 있어 인용발명으로부터 본원발명을 용이하게 발명할 수 있는 것입니다.

### [첨 부]

첨부1 공개특허 제2002-1144호(2002.01.09) 1부. 끝.



특허청

2005.02.21  
전기전자심사국  
반도체심사담당관실

심사관

신창우



<< 안내 >>

명세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법·실용신안법·의장법및상표법에 의한 특허료·등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요일·휴무일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷지로([www.giro.go.kr](http://www.giro.go.kr))로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 통상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

문의사항이 있으시면 ☎ 로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020001144 A  
(43)Date of publication of application: 09.01.2002

(21)Application number: 1020000035355

(71)Applicant:

HYNIX SEMICONDUCTOR INC.

(22)Date of filing: 26.06.2000

(72)Inventor:

PARK, SANG GYUN

(51)Int. Cl. H01L 21/28

(54) METHOD OF FABRICATING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A semiconductor device fabricating method is provided to reduce parasitic capacitors and cross talk and to improve the electric characteristics and speed of operation by using an insulating film having a lower permittivity in consideration of a step coverage and compensating for etch selectivity of a spacer insulating film and an interlayer insulating film with a silicon epitaxial layer.

CONSTITUTION: A junction(45) and a gate(42) having a mask insulating film(43) formed thereon are formed on a semiconductor substrate(41). SiOxNy spacer insulating layer(44) is formed on sidewalls of the gate and the mask insulating film. A silicon epitaxial layer(49) is formed on the junction. An interlayer insulating layer(46) is formed with a porous oxide film over the entire structure. A contact hole is formed by performing a self-aligned contact etching process so as to expose the silicon epitaxial layer. The porous interlayer insulating layer is subjected to an annealing process.



&copy; KIPO 2002

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

# 공개특허 제2002-1144호(2002.01.09) 1부.

[첨부그림 1]

특2002-0001144

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/28	(11) 공개번호 (43) 공개일자	특2002-0001144 2002년1월09일
(21) 출원번호 (22) 출원일자	10-2000-0035355 2000년06월26일	
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 아미리 산136-1	
(72) 발명자	박상균	
(74) 대리인	경기도이천시부발읍신하리481-1삼익아파트103동1802호 신영무, 최승민	

심사청구 : 없음

### (54) 반도체 소자의 제조 방법

#### 요약

본 발명은 콘택 공정 마진을 확보하기 위하여 자기 정렬 콘택(Self Aligned Contact; SAC) 식각 공정이 적용되는 반도체 소자의 제조 방법에 관한 것으로, 자기정렬 콘택 식각 공정시 식각 방지막 역할을 하는 게이트 스페이서 절연막을 기존의 SiNx막보다 유전율이 낮은 SiO<sub>2</sub>막으로 형성하되, 균일한 층두께를 얻을 수 있는 공정조건을 적용하고, 표면 평탄화 및 소자 보호를 위한 층간 절연막을 기존의 SiO<sub>2</sub>막보다 유전율이 낮은 다공성 절연막으로 형성하고, SiO<sub>2</sub>막과 다공성 절연막과의 불충분한 식각 선택비를 보상하기 위하여 노출된 접합부 상에 실리콘 에피층을 형성함으로써, 자기정렬 콘택 식각 공정시 식각 선택비가 높아야만 하는 문제를 해결하면서 게이트 스페이서 절연막에 포함된 층간 절연막으로 기존보다 낮은 유전율을 갖는 물질들 사용할 수 있어, 소자의 기생 커패시터와 크로스 토크(Cross talk)를 감소시키고, 소자의 전기적 특성 및 동작 속도를 향상시킬 수 있는 반도체 소자의 제조 방법이 개시된다.

#### 도면

#### 도3a

#### 색인어

층간 절연막, SAC 식각, SiO<sub>2</sub>막, 기생 커패시터스

#### 발명자

#### 도면의 간단한 설명

도 1 및 도 2는 종래의 반도체 소자의 제조 방법을 설명하기 위하여 도시한 단면도.

도 3a 내지 도 3e는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도.

#### <도면의 주요 부분에 대한 부호 설명>

- |                     |                      |
|---------------------|----------------------|
| 1, 21, 41 : 반도체 기판  | 2, 22, 42 : 게이트      |
| 3, 23, 43 : 마스크 절연막 | 4, 24, 44 : 스페이서 절연막 |
| 5, 25, 45 : 접합부     | 6, 26, 46 : 층간 절연막   |
| 27, 47 : 좁은 셀 영역    | 28, 48 : 넓은 셀 영역     |
| 49 : 실리콘 에피층        | 50 : 비트 라인           |
| 11, 31, 51 : 소자 분리막 |                      |

#### 발명의 상세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 게이트 배선 및 비트라인과 같은 금속 배선 간의 기생 커패시턴스를 감소시키고 금속 배선 간의 크로스 토크를 방지할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

반도체 소자가 고집적화 됨에 따라 금속 배선간의 크로스 토크(Cross Talk)를 방지하고, 동작속도를 빠르게 하기 위하여, 비저항이 낮은 구리금속 배선을 사용하거나, 금속 배선간에 유전율이 낮은 절연막을 사용하는 것이 반도체 소자 제조에 있어 중요한 기술로 대두되고 있으며, 많은 연구가 이루어지고 있다. 또한 금속배선 사이에 형성된 절연막의 유전율 감소 뿐 아니라 금속 배선 형성 전에 적용된 중간 절연막의 유전율 감소를 통해 기생 커패시턴스를 감소시켜 소자의 속도를 향상시키는 것 또한 매우 중요하다. 그러나, 이러한 금속 배선을 형성하기 전에 형성하는 저유전율 중간 절연막의 적용에 대한 연구는 이루어지지 않고 있다.

중간 절연막의 유전율 감소를 이루기 위해서는 첫 번째로 자기 정렬 콘택 식각 방지막(SAC etch barrier)의 저유전율화 및 균일한 충당형성(Step coverage)을 확보해야 하고, 두 번째로 SAC 식각 방지막과 중간 절연막과의 충분한 건식 식각 선택비를 확보해야 하며, 세 번째로 중간 절연막의 저유전율화 및 400°C 이상의 열 안정성 확보 등이 필요하다.

이와 같이 중간 절연막의 유전율을 감소시키기 위해서는 실리콘 질화막(SiNx)과 중간 절연막을 저유전율의 막으로 형성하는 방법이 있다. 여기서 실리콘 질화막은 게이트 배선 및 비트 라인(Bit Line) 형성 후, 후속 콘택을 형성하는 자기 정렬 콘택(SAC) 식각(Etch) 공정에서 방지막(Barrier Layer)으로 사용되는 막이며, 중간 절연막은 게이트 배선 및 비트 라인 사이의 공간을 매립 및 평탄화 하기 위한 막이다.

특히 게이트 배선 및 비트 라인 사이에는 셀 트랜지스터 동작을 위한 콘택이 형성되는데, 금속 배선을 형성하기 전에 SAC 방지막을 포함하는 중간 절연막에서 기생 커패시턴스 발생원인의 약 80%는 SAC 방지막에 의한 것이고, 나머지는 평탄화를 절연막에 기인한 것이다. 따라서 SAC 방지막으로 주로 사용되는 유전율 7의 실리콘 질화막(SiNx)층의 유전율을 감소시키는 것이 중요하다. 이를 위해 유전율 4의 실리콘 산화막을 사용하는 방법이 있으나, 기존의 산화막을 그대로 사용하는 경우, 배선간 중간 절연막으로 사용되는 실리콘 산화막과의 SAC 에치 선택 비가 확보되지 않아 적용할 수 없다.

도 1을 참조하면, 반도체 기판(1) 상에 다수의 패턴화 된 게이트(2)와 후속 SAC 식각시 게이트(2) 상부가 손상되는 것을 막기 위한 마스크 절연막(3)을 형성하고, 전체구조 상에 SAC 식각 방지막으로 기존의 LPCVD SiNx막 대신에 유전율이 낮은 LPCVD SiO<sub>2</sub>막을 형성한 후 전면 건식식각으로 스페이서 절연막(4)을 형성한다. 전면 건식식각으로 스페이서 절연막(4)을 형성하면서 접합부(5)를 노출시킨 후 저유전율 중간 절연막(6)으로 평탄화 한 후 SAC 식각 공정을 실시한 상태를 나타내었다. 도시한 바와 같이, SAC 식각 공정에서 스페이서 절연막(4)과 다공성 저유전율 중간 절연막(6) 사이의 건식 식각 선택비가 부족하며, 게이트 배선이 손상을 받게 된다.

도 2를 참조하면, 도 1에 도시한 구조에서 스페이서 절연막(24)을 기존의 LPCVD SiNx막 대신에 플라즈마 화학 기상 증착법(PECVD)으로 형성한 유전율이 낮은 SiO<sub>2</sub>N<sub>x</sub>막을 이용해 형성하고, 전면 건식 식각으로 접합부(25)를 노출시킨 후 저유전율 중간 절연막(26)으로 평탄화 한 후 SAC 식각 공정을 실시한 상태를 도시하고 있다. 도시한 바와 같이, PECVD SiO<sub>2</sub>N<sub>x</sub>막을 이용해 형성한 스페이서 절연막(24)은 열악한 충당형성에 기인하여, 패턴 사이가 좁은 셀 영역(27)과 패턴 사이가 넓은 주변 회로 영역(28)에서의 종횡 두께가 달라, 전면 건식식각에 의한 정선 부위 노출 공정에서 스페이서 절연막(24)의 두께가 얇게 형성된 셀 영역의 접합부(25)가 손상받게 된다.

플라즈마 화학 기상 증착법(PECVD : Plasma Enhanced Chemical Vapor deposition)에 의한 SiO<sub>2</sub>N<sub>x</sub> 막을 적용하는 경우에도 유전율은 6이하로 감소시킬 수 있으나, 패턴사이가 좁은 셀 영역에서는 얇게 증착되며, 균일한 충당형성을 얻을 수 없으며, 또한 20:1 정도 이상의 중간 절연막과의 식각 선택비를 확보하기에도 부족하다. 이러한 부족한 식각 선택 비를 보충하고, 중간 절연막의 유전율을 낮추기 위한 방법으로, 실리콘 산화막과의 식각 선택비가 매우 뛰어난 폴리머 계열의 저유전율 절연막을 사용하는 방법이 있으나, 현재 알려진 폴리머 계열의 저유전율을 막은 400°C 이상의 고온에서 막 특성이 열화되고, 막 자체가 분해되며, 400°C 이상의 열 공정을 진행해야 하는 메탈 전 공정에 적용하기에는 많은 문제점이 있다.

## 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 기생 커패시턴스를 유발할 수 있는 모든 절연막을 저유전율 값을 가지는 물질로 형성함과 동시에 게이트 측벽의 스페이서 및 중간 절연막의 충분한 건식식각 선택비를 확보하여 SAC 식각 공정시 게이트 전극이 손상되는 것을 방지하고 소자의 동작속도를 증가시켜 반도체 소자의 성능을 향상시킬 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

## 발명의 구성 및 작동

본 발명에 따른 반도체 소자의 중간 절연막 형성 방법은 상부에 마스크 절연막을 갖는 게이트 및 접합부

를 반도체 기판에 형성하는 단계, 게이트 및 마스크 절연막의 측벽에 SiO<sub>2</sub>나 스페이서 절연막을 형성하는 단계, 접합부 상에 실리콘 에피층을 형성하는 단계, 전체구조 상에 다공성 산화막으로 중간 절연막을 형성하는 단계, 실리콘 에피층이 노출되도록 자기 정렬 콘택 식각공정을 실시하여 콘택층을 형성하는 단계, 및 다공성 중간 절연막을 열처리하는 단계를 포함하여 이루어진다.

상기의 단계에서, 게이트의 상부를 보호하는 마스크 절연막은 1 내지 760Torr의 압력범위 및 350 내지 800°C의 온도에서 SiH<sub>4</sub>, TEOS, O<sub>2</sub>, Q<sub>2</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 약 100 Å의 두께로 형성한다. 또한, 마스크 절연막은 반응 가스에 NH<sub>3</sub> 가스를 첨가하여 질화막 또는 질화 산화막으로 형성할 수도 있다.

자기 정렬 콘택 식각공정시 게이트의 측벽을 보호하는 SiO<sub>2</sub>나 스페이서 절연막은 저압 화학 기상 증착(LPCVD)법으로 SiO<sub>2</sub>나 막을 증착한 후 전면 식각 공정으로 형성한다. SiO<sub>2</sub>나 스페이서 절연막을 형성하는 첫 번째 방법은 450 내지 900°C의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, NH<sub>3</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 약 50 Å의 두께로 형성한다. 두 번째 방법은 전체 구조상에 LPCVD법에 의하여 균일한 증착층을 가진 SiO<sub>2</sub>나 막을 450 내지 900°C의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, Q<sub>2</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 약 50 Å의 두께로 형성한다. 이후, NH<sub>3</sub>, N<sub>2</sub>, N<sub>2</sub>O 및 H<sub>2</sub> 가스 중 적어도 어느 하나의 가스 분위기에서 약 400°C의 온도로 약 5초 동안 열처리를 실시하여 SiO<sub>2</sub>나 막을 형성한다. 세 번째 방법은, 전체 구조상에 LPCVD법에 의하여 균일한 증착층을 가진 SiO<sub>2</sub>나 막을 450 내지 900°C의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, Q<sub>2</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 약 50 Å의 두께로 형성한다. 이후, 약 100°C의 온도 및 NH<sub>3</sub>, N<sub>2</sub>, N<sub>2</sub>O 및 H<sub>2</sub> 가스 중 적어도 어느 하나의 가스 분위기에서 약 100W의 전력으로 약 20초 동안 플라즈마 처리하고 도핑하여 SiO<sub>2</sub>나 막을 형성한다. 네 번째 방법은, 전체 구조상에 SiO<sub>2</sub>나 막을 500 내지 600°C의 온도 및 0.01 내지 100Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, Q<sub>2</sub>, N<sub>2</sub>O, NH<sub>3</sub> 및 H<sub>2</sub>와 같은 반응가스를 이용하여 약 100W의 전력의 PECVD법으로 약 50 Å의 두께로 형성한다. 스페이서 절연막을 형성하는 SiO<sub>2</sub>나 막은 중간 절연막과의 건식식각 비가 5:1 내지 10:1 범위이고, 4 내지 6 사이의 유전율을 갖는다.

스페이서 절연막과 다공성 중간 절연막의 선택 식각비를 확보하기 위한 실리콘 에피층은 400 내지 900°C의 온도 범위 및 0.0001 내지 100Torr의 압력에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, HCl 및 H<sub>2</sub>와 같은 반응가스를 이용하여 약 500 Å의 두께로 형성한다.

다공성 중간 절연막은 약 100rpm의 속도로 회전하는 반도체 기판에 TEOS, HCl, NH<sub>4</sub>OH, IPA(Isopropyl Alcohol) 등이 함유된 용액을 스핀 도포(spin coating)하고, NH<sub>3</sub> 및 H<sub>2</sub>O가 함유된 한 분위기에서 에이징(Aging) 처리한 후, 소수성 처리를 거친 다음 150 내지 350°C의 온도에서 약 30초 동안 베이킹(Baking)하고, 300 내지 500°C의 온도범위에서 불활성 가스 분위기로 약 1분 동안 열처리하여 약 1000 Å의 두께로 형성한다.

중간 절연막에 흡착된 수분을 제거하기 위한 열처리는 200 내지 800°C의 온도 범위 및 0.001 내지 760Torr의 압력에서 실시하거나, 200 내지 600°C의 온도 범위 및 0.001 내지 100Torr의 압력에서 약 100W의 전력으로 플라즈마 처리를 한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다.

도 3a 내지 3e는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위하여 순차적으로 도시한 단면도이다.

도 3a를 참조하면, 소자 분리막(51)이 형성된 반도체 기판(41) 상에 게이트(42) 및 접합부(45)로 이루어진 트랜지스터를 형성한다. 게이트(42)의 상부에는 마스크 절연막(43)이 형성되는데, 마스크 절연막(43)은 후속 자기 정렬 콘택 식각공정에서 게이트(42)가 식각되지 않도록 보호하기 위하여 형성되며, 0.01 내지 760Torr의 압력범위 및 350 내지 800°C의 온도에서 SiH<sub>4</sub>, TEOS, O<sub>2</sub>, Q<sub>2</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 약 100 Å의 두께로 형성한다. 마스크 절연막(42)은 NH<sub>3</sub> 가스를 첨가하여 질화막 또는 질화 산화막으로 형성하기도 한다.

도 3b를 참조하면, 게이트(42) 측벽에 스페이서(44)를 형성한다. 스페이서(44)는 SiO<sub>2</sub>나 막으로 형성하며 자기 정렬 콘택 식각시 게이트(42)의 측벽이 식각되는 것을 방지하는 SAC 식각 방지막(Self-Aligned Contact Etch Barrier)으로 사용된다.

이하에서는 스페이서(44)를 형성하는 방법을 설명한다.

첫 번째로, 전체 구조상에 SiO<sub>2</sub>나 막을 450 내지 900°C의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, NH<sub>3</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 저압 화학 기상 증착(LPCVD)법으로 약 50 Å의 두께로 형성한다. LPCVD SiO<sub>2</sub>나 막은 증착층이 우수하여 패터 간격이 좁은 셀 영역(47)과 패터 간격이 넓은 셀 영역(48)에서 균일한 두께로 형성된다. 형성된 SiO<sub>2</sub>나 막을 전면 건식식각 공정으로 게이트(42)의 측벽에만 남기고 나머지 부분을 제거하여 스페이서(44)를 형성한다.

두 번째로, 전체 구조상에 LPCVD법에 의하여 균일한 증착층을 가진 SiO<sub>2</sub>나 막을 450 내지 900°C의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, Q<sub>2</sub> 및 H<sub>2</sub>O와 같은 반응가스를 이용하여 약 50 Å의 두께로 형성한다. 이후, NH<sub>3</sub>, N<sub>2</sub>, N<sub>2</sub>O 및 H<sub>2</sub> 가스 중 적어도 어느 하나의 가스 분위기에서 약 400°C의 온도로 약 5초 동안 열처리를 실시하여 SiO<sub>2</sub>나 막을 형성한다. 형성된 SiO<sub>2</sub>나 막을 전면 건식식각 공정으로 게이트(42)의 측벽에만 남기고 나머지 부분을 제거하여 스페이서(44)를 형성한다.

세 번째로, 전체 구조상에 LPCVD법에 의하여 균일한 증착층을 가진  $\text{SiO}_x$ 막을 450 내지 900°C의 온도 및 0.01 내지 760Torr의 저압범위에서  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$ , TEOS,  $\text{O}_2$ ,  $\text{O}_3$  및  $\text{H}_2\text{O}$  가스와 같은 반응가스를 이용하여 약 50Å의 두께로 형성한다. 이후, 약 100°C의 온도 및  $\text{NH}_3$ ,  $\text{N}_2$ ,  $\text{N}_2\text{O}$  및  $\text{H}_2$  가스 중 적어도 하나 하나의 가스 분위기에서 약 100W의 전력으로 약 20초 동안 플라즈마 처리하고 도핑하여  $\text{SiO}_x\text{M}_y$ 막을 형성한다. 형성된  $\text{SiO}_x\text{M}_y$ 막을 전면 건식식각 공정으로 게이트(42)의 측벽에만 남기고 나머지 부분을 제거하여 스페이서(44)를 형성한다.

네 번째로, 전체 구조상에  $\text{SiO}_x\text{M}_y$ 막을 500 내지 800°C의 온도 및 0.01 내지 100Torr의 저압범위에서  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$ , TEOS,  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{H}_2\text{O}$ ,  $\text{NH}_3$  및  $\text{H}_2$  가스와 같은 반응가스를 이용하여 약 100W의 전력의 PECVD법으로 약 50Å의 두께로 형성한다. 이후 전면 건식식각 공정으로 게이트(42)의 측벽에만  $\text{SiO}_x\text{M}_y$ 막을 남기고 나머지 부분을 제거하여 스페이서(44)를 형성한다.

$\text{SiO}_x\text{M}_y$ 막의 유전율은 기존의 절연막에 비하여 낮은 4 내지 6 사이의 유전율을 값을 가지며 후속 공정에 형성될 층간 절연 산화막과의 건식식각 비가 5:1 내지 10:1 범위의 특성을 갖는다.

도 3c를 참조하면, 스페이서(44)를 형성한 후 노출된 접합부(45) 상에 실리콘 에피층(49)을 형성한다. 실리콘 에피층(49)은 400 내지 900°C의 온도 범위 및 0.001mTorr 내지 100Torr의 저압범위에서  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$ , HCl 및  $\text{H}_2$  가스와 같은 반응가스를 이용하여 약 500Å의 두께로 형성한다. 실리콘 에피층(49)은 후속 SAC 식각 공정시 SAC 식각 깊이를 감소시켜 SAC 식각 공정시 스페이서(44)와 후속 공정에서 평탄화를 위해 형성하는 층간 절연막과의 충분한 건식식각 선택비를 확보해 주는 역할을 한다.

도 3d를 참조하면, 전체구조 상에 유전율이 낮고 열안정성이 우수한 다공성 산화막으로 층간 절연막(46)을 형성하여 평탄화를 이룬 후 접합부(45)가 노출되는 콘택을 형성하기 위하여 자기 정렬 콘택 식각공정을 실시하고 열처리한다.

층간 절연막(46)은 다음과 같은 방법으로 형성된다. 먼저, 분당 약 100회의 속도로 회전하는 반도체 기판에 TEOS, HCl,  $\text{NH}_4\text{OH}$ , IPA(Isopropyl Alcohol) 등이 함유된 용액을 스핀 도포(spin coating)하고,  $\text{NH}_3$  및  $\text{H}_2\text{O}$ 가 함유된 분위기에서 에이징(Aging) 처리한다. 이후 소수성 처리를 거친 다음 150 내지 350°C의 온도에서 약 30초 동안 베이킹(Baking)하고, 300 내지 500°C의 온도범위에서 불활성(Inert) 가스 분위기로 약 1분 동안 열처리하여 약 1000Å의 두께의 층간 절연막(46)을 형성한다.

열처리 공정은 콘택을 형성하는 공정에서 층간 절연막(46)으로 흡수된 수분을 제거하기 위하여 실시하는데, 첫 번째 방법으로는 200 내지 800°C의 온도 범위 및 0.001 내지 760Torr의 압력에서 실시하는 방법과, 두 번째 방법으로는 200 내지 600°C의 온도 범위 및 0.001 내지 100Torr의 압력에서 약 100W의 전력으로 플라즈마 처리를 실시하는 방법이 있다.

도 3e를 참조하면, 콘택을 포함한 층간 절연막(46) 상에 종횡공정 및 패터닝 공정으로 비트 라인(50)을 형성한다. 비트 라인(50)은 W, Cu, Au, Ag, Ru,  $\text{RuO}_x$ , Ti, TiN, Ta, TaN, TiSiN 및 Wk 중 적어도 어느 하나를 이용하여 형성한다.

#### 본 발명의 효과

상술한 비와 같이, 본 발명은 증착층을 고려하면서 유전율이 낮은 절연막을 이용하고, 실리콘 에피층으로 스페이서 평탄막과 층간 절연막의 식각 선택비를 보상함으로써 소자의 기생 커패시터와 크로스 토크를 감소시키고 소자의 전기적 특성 및 동작속도를 향상시키는 효과가 있다.

#### (57) 청구의 범위

청구항 1. 상부에 마스크 절연막을 갖는 게이트 및 접합부를 반도체 기판에 형성하는 단계;

상기 게이트 및 상기 마스크 절연막의 측벽에  $\text{SiO}_x\text{M}_y$  스페이서 절연막을 형성하는 단계;

상기 접합부 상에 실리콘 에피층을 형성하는 단계;

전체구조 상에 다공성 산화막으로 층간 절연막을 형성하는 단계;

상기 실리콘 에피층이 노출되도록 자기 정렬 콘택 식각공정을 실시하여 콘택홀을 형성하는 단계; 및

상기 다공성 층간 절연막을 열처리하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 마스크 절연막은 1 내지 760mTorr의 압력범위 및 350 내지 800°C의 온도에서  $\text{SiH}_4$ , TEOS,  $\text{O}_2$ ,  $\text{O}_3$  및  $\text{H}_2\text{O}$ 와 같은 반응가스를 이용하여 약 100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3. 제 2 항에 있어서,

상기 마스크 절연막은 상기 반응 가스에  $\text{NH}_3$  가스를 첨가하여 질화막 또는 질화 산화막으로 형성하는 것

우를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4. 제 1 항에 있어서,

상기 SiO<sub>x</sub>막 스페이서 절연막은 LPCVD법으로 SiO<sub>x</sub>막을 증착한 후 전면 식각 공정으로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5. 제 4 항에 있어서,

상기 SiO<sub>x</sub>막은 450 내지 900℃의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, NH<sub>3</sub> 및 N<sub>2</sub>O와 같은 반응가스를 이용하여 약 50A의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6. 제 4 항에 있어서,

상기 SiO<sub>x</sub>막은 LPCVD법으로 SiO<sub>x</sub>막을 증착한 후 상기 SiO<sub>x</sub>막을 질화시켜 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7. 제 6 항에 있어서,

상기 SiO<sub>x</sub>막은 450 내지 900℃의 온도 및 0.01 내지 760Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, O<sub>3</sub> 및 N<sub>2</sub>O와 같은 반응가스를 이용하여 약 50A의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8. 제 6 항에 있어서,

상기 SiO<sub>x</sub>막을 질화시켜 SiO<sub>x</sub>막을 형성하는 단계는 NH<sub>3</sub>, N<sub>2</sub>, N<sub>2</sub>O 및 H<sub>2</sub> 가스 중 적어도 어느 하나의 가스 분위기에서 약 400℃의 온도로 약 5초 동안 열처리하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9. 제 6 항에 있어서,

상기 SiO<sub>x</sub>막을 질화시켜 SiO<sub>x</sub>막을 형성하는 단계는 약 100℃의 온도 및 NH<sub>3</sub>, N<sub>2</sub>, N<sub>2</sub>O 및 H<sub>2</sub> 가스 중 적어도 어느 하나의 가스 분위기에서 약 100W의 전력으로 약 20초 동안 플라즈마 처리하고 도핑하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10. 제 4 항에 있어서,

상기 SiO<sub>x</sub>막은 500 내지 800℃의 온도 및 0.01 내지 100Torr의 저압범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, TEOS, O<sub>2</sub>, O<sub>3</sub>, N<sub>2</sub>O, NH<sub>3</sub> 및 H<sub>2</sub> 가스와 같은 반응가스를 이용하여 약 100W의 전력으로 약 50A의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11. 제 1 항에 있어서,

상기 스페이서 절연막 형성하는 SiO<sub>x</sub>막은 층간 절연막과의 건식식각 비가 5:1 내지 10:1 범위이고, 4 내지 6 사이의 유전율 값을 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12. 제 1 항에 있어서,

상기 실리콘 에피층은 400 내지 900℃의 온도 범위 및 0.00001 내지 100Torr의 압력에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, HCl 및 H<sub>2</sub> 가스와 같은 반응가스를 이용하여 약 500A의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 13. 제 1 항에 있어서,

상기 다공성 층간 절연막은 약 100rpm의 속도로 회전하는 반도체 기판에 TEOS, HCl, NH<sub>4</sub>OH, IPA(Isopropyl Alcohol) 등이 함유된 용액을 스핀 도포(spin coating)하고, NH<sub>3</sub> 및 H<sub>2</sub>O가 함유된 한 분위기에서 에이징(Aging) 처리한 후, 소수성 처리를 거친 다음 150 내지 350℃의 온도에서 약 30초 동안 베이킹(Baking)하고, 300 내지 500℃의 온도범위에서 불활성 가스 분위기로 약 1분 동안 열처리하여 약 1000A의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.



청구항 14. 제 1 항에 있어서,

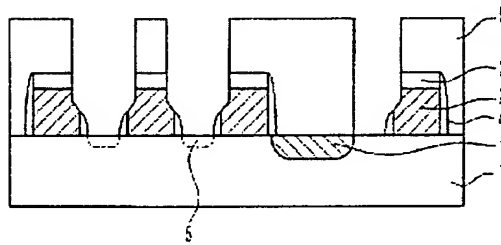
상기 열처리는 200 내지 800℃의 온도 범위 및 0.001 내지 760Torr의 압력에서 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 15. 제 1 항에 있어서,

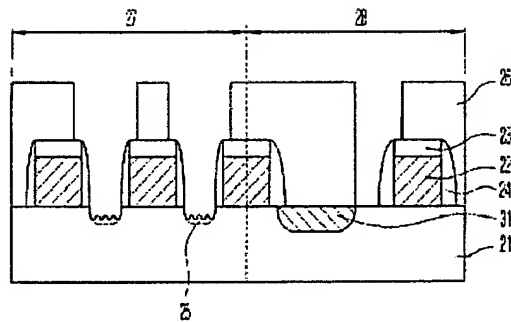
상기 열처리는 200 내지 600℃의 온도 범위 및 0.001 내지 100Torr의 압력에서 약 100W의 전력으로 플라즈마 처리를 실시하는 것을 특징으로 하는 반도체 소자의 제조 방법.

도면

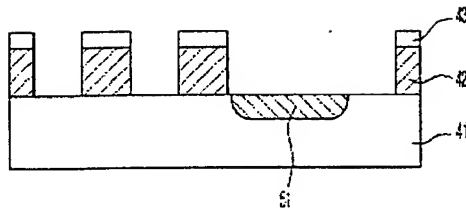
도면1



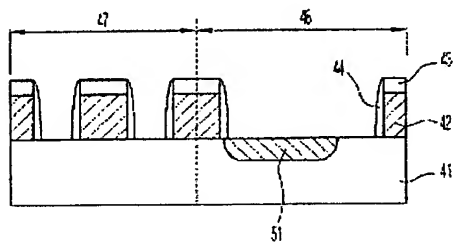
도면2



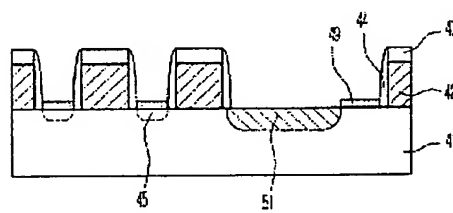
도 B3a



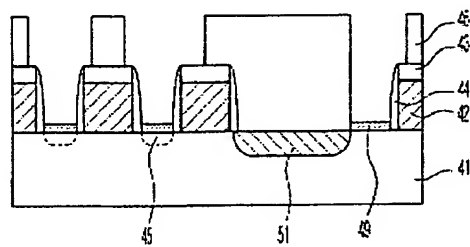
도 B3b



도 B3c



도 B3d



8-7

